Федеральное агентство по связи и информатизации Российской Федерации  
ФГОБУ ВПО «Сибирский государственный университет телекоммуникаций и информатики»

Кафедра вычислительных систем

Расчетно-графическое задание  
по дисциплине «Архитектура вычислительных систем»  
Вариант №24

Выполнил:  
Студент группы ИП-212  
Ведринцев М.В.

Проверил:  
Доцент кафедры вычислительных систем  
Ефимов А. В.

Новосибирск  
2014

**Задание 1.** Произвести анализ возможностей вычислительных систем с MIMD-архитектурой. Привести пример функциональной структуры суперВС.

Прежде чем рассмотреть требуемую архитектуру, рассмотрим самый ее костяк – модель коллектива вычислителей и ее структуры.

**Модель коллектива вычислителей**

Логика развития средств обработки информации и дуализм понятия «вычислитель» порождают понятие «коллектив вычислителей». Допускается двойное толкование как коллектив людей-вычислителей и как коллектив аппаратурно-программных средств. **Коллектив аппаратурно-программных средств и называется вычислительной системой.** Функционирование ВС основывается на структурной и функциональной имитации коллективов людей-вычислителей. Чем полнее такая имитация, тем богаче архитектурные возможности ВС.

Каноническую основу ВС составляет пара

где H – описание конструкции; А – алгоритм работы коллектива вычислителей; S – модель коллектива вычислителей. Это же является определением коллектива вычислителей.

Конструкция дополняется следующим представлением:

где C – множество вычислителей; G – описание структуры связей между вычислителями .

Конструкция H основывается на основе следующих фундаментальных принципов:

1) параллелизм при обработке информации, который требует параллельное функционирование вычислителей , взаимодействующих через сеть G;

2) программируемая структура, т. е. настраиваемость структуры в зависимости от решаемой задачи. Здесь требуется, чтобы в коллективе вычислителей была заложена возможность хранения описания его изначальной физической структуры, априорной автоматической (программной) настройки проблемно-ориентированных (виртуальных) конфигураций и их перенастройки в процессе функционирования c целью обеспечения адекватности структурам и параметрам решаемых задач и достижения эффективности при заданных условиях эксплуатации;

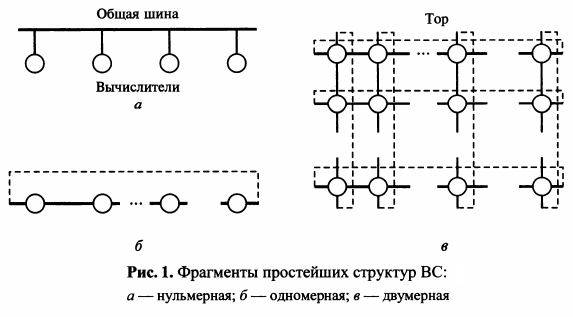
3) однородность. Требует, чтобы коллектив вычислителей состоял из однородных и однотипных вычислителей, а также структура коллектива была тоже однородной.

Суть принципов становится ясной, если учесть, что они противоположны принципам, лежащим в основе конструкции вычислителя. Целесообрaзно подчеркнуть лишь то, что принцип программируемости структуры является столь же фундаментальным в области архитектуры средств обработки информации, сколь основательны предложения Дж. фон Неймана (Хранить программу работы ЭВМ в ее памяти и модифицировать программу c помощью самой же машины). Требования принципа программируемости структуры сводятся к тому, чтобы в коллективе вычислителей была заложена возможность хранения описания его изначальной физической структуры, априорной автоматической (программной) настройки проблемно-ориентированных (виртуальных) конфигypаций и их перенастройки в процессе функционирования c целью обеспечения адекватности структурам и параметрам решаемых задач и достижения эффективности при заданных условиях эксплуатации.

Уровень развития вычислительной математики и техники, a также технологии микроминиатюризации (микроэлектроники и наноэлектpоники) уже сейчас позволяет в некоторых областях вместо принципа однородности (состава C и структуры G) использовать принцип квазиоднородности (или виртуальной однородности) конструкции H. Более того, можно ограничиться лишь требованием совместимости вычислителей в коллективе и использовать неоднородные структуры. Однако вместе c этим следует отметить, что принцип однородности при создании высокопроизводительных ВС имеет не меньшую значимость, чем принцип совместимости ЭВМ третьего поколения.

**Структура коллектива вычислителей**

*Структура (Structure, Topology) коллектива вычислителей представляется графом G, вершинам (узлам) которого сопоставлены вычислители , a ребрам — линии связи между ними.* Проблема выбора (синтеза) структур BC не является тривиальной. B самом деле, универсальное решение — структура в виде полного графа (Cоmplete graph), однако такая структура практически реализуема при небольшом числе вычислителей. Для достижения производительности ВС в диапазоне ... опер./c при существующих интегральных технологиях необходимо около - вычислителей. Следовательно, структуры таких систем не могут быть организованы по типу полного графа хотя бы из-за ограничений на число выводов c корпусов интегральных схем. Рассмотрим структуры сети связей между вычислителями, которые используются при формировании ВС.



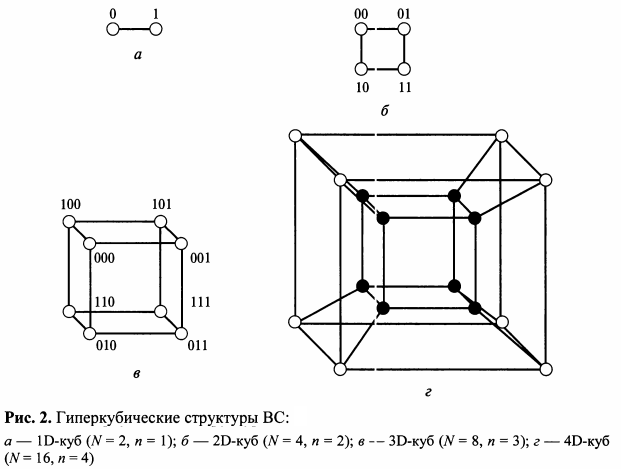
**Простейшие структуры ВС**. Различают нульмерные, одномерные и двумерные простейшие структуры ВС (рис. 3.1). B первом случае структура сети межвычислительных связей «вырождена», взаимодействие между вычислителями ВС осуществляется через общую шину (Common bus, Uni bus). В случае одномерных структур («линейки» - Linear graph или «кольца» - Ring) обеспечивается связь каждого вычислителя c двумя другими (соседними) вычислителями (рис. 1, a, б). B нульмерных структурах имеется общий ресурс - шина, в одномерных же структурах этот ресурс трансформируется в распределенный, т. e. в локальные связи между вычислителями. Следовательно, архитектурные возможности (в частности, надежность) последних структур существенно выше, чем y нульмерных.

Увеличение размерности структуры повышает структурную надежность ВС. B самом деле, двумерные структуры предоставляют каждому вычислителю непосредственную связь c четырьмя соседними. В качестве примеров двумерных структур (рис. 1, в) может служить «решетка» (точнее, 2D-решетка Two-dimensional grid) и тор (2D-тор Two-dimensional torus). Следовательно, в системах c двумерной структурой при отказах некоторых вычислителей и (или) связей между ними сохраняется возможность организации связных подмножеств исправных вычислителей.

B n-мерных структурах каждый вычислитель связан c 2n соседними вычислителями. Существуют технико-экономические и технологические ограничения в наращивании размерности структуры ВС.

**Гиперкубические структуры ВС.** Гиперкубы, или структуры в виде булевых n-мерных кубов, нашли широкое применение при построении современных высокопроизводительных ВС c массовым параллелизмом. Гиперкуб (Hypercube) по определению это однородный граф, для которого справедливо

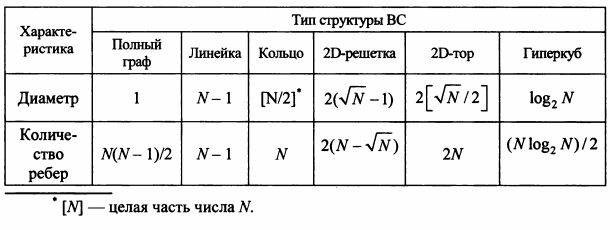
где N – количество вершин, n – число ребер, выходящих из каждой вершины; n также называют *размерностью гиперкуба*. Каждый вычислитель в гиперкубической ВС имеет связь ровно c n другими вычислителями. На рис. 2 представлены гиперкубические структуры ВС. Гиперкуб размерности n называют также nD-кубом (D означает размерность (Dimension)).



Если вершины гиперкуба пронумеровать от 0 до (N —1) в двоичной системе счисления так, что каждый разряд соответствует одному из n направлений, то получим булев n-мерный куб (см. рис. 2).

Вид структуры ВС c массовым параллелизмом существенно влияет на производительность системы в целом. B самом деле, даже при одном и том же количестве вершин существует разнообразие структур. Для создателей ВС интерес представляют структуры, обеспечивающие наименьшие временные задержки при обменах информацией между вычислителями. Следовательно, нужны структуры c минимальным диаметром. Под диаметром структуры понимается максимальное расстояние (число ребер) между двумя вершинами, определяемое на множестве кратчайших путей. Возможности распространенных структур ВС отражены в табл. 1.

*Таблица 1*



Из табл. 1 следует, что структуры c меньшим диаметром имеют большее количество ребер; удвоение числа вершин в гиперкубе увеличивает его диаметр только на единицу.

Архитектура MIMD или МКМД (Multiple Instruction stream/Multiple Data stream – множественный поток команд/множественный поток данных) представляет собой множество элементарных машин, связанных между собой через сеть межмашинных линий. Каждая ЭМ – композиция локального коммутатора и элементарного процессора (по сути, полноценный вычислитель). Локальный коммутатор обеспечивает связь с соседними ЛК. ЭП имеет полноценное УУ. Его локальная память предназначена для хранения не только части данных, но и ветви параллельной программы. Каждая ЭМ может выполнять свои вычисления независимо от остальных. При этом, учитывая особенности рассмотренных выше структур, машины с этой архитектурой не имеют ограничений по наращиванию производительности. Плюс еще такие системы способны легко подстраиваться под конкретную задачу.

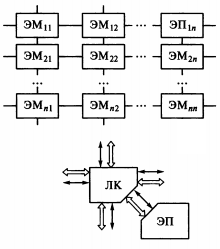
****

Рис. 1. Архитектура MIMD:

ЭМ – элементарная машина; ЭП – элементарный процессор; ЛК – локальный коммутатор.

Пример ВС с такой архитектурой – Cray X1.

**Особенности архитектуры Cray X1**

Максимальная конфигурация BC Cray X1 состоит из 4096 элементарных процессоров (или 49 152 вычислителей, среди которых 32 768 векторных конвейеров и 16 384 скалярных блоков). Она имеет производительность 52,4 TFLOPS и память емкостью 16...64 Tбaйт. Вес такой конфигурации BC составляет примерно 230 т (при воздушном охлаждении) или 170 т (при жидком хладагенте). Цена 16-пpoцeccopнoй BC (204,8 GFLOPS) составляет 16,4 млн дoлл.

Система Cray X1 была официально анонсирована в ноябре 2002 r. Первые поставки Cray X1 (в упрощенных конфигурациях, но допускающих модернизацию) произведены в конце 2002 — начале 2003 r. K числу первых организаций, которые приобрели конфигурации Cray X1, относятся: Hayчнo-иccлeдoвaтeльcкий центр высокопроизводительных вычислений армии США (AHPCRC — U.S. Army High Performance Computing Research Center), Иcпaнcкий национальный институт метеорологии (Spain's National Institute of Meteorology), Oyк-Pиджcкaя национальная лаборатория (ORNL — Oak Ridge National Laboratory) Отдела энергетики США (U.S. Department of Energy).

Вычислительная система Cray X1 — это MIMD-система c общей распределенной памятью (Distributed Shared Memory). B системе Cray X1 просматривается иерархия уровней ее функциональной структуры, организованной по принципу матрешки. Действительно, в вычислительный элемент фиксированного уровня вкладывается композиция элементов очередного нижнего уровня. Модель коллектива вычислителей реализована на всех иерархических уровнях функциональной структуры Cray X1.

B архитектуре Cray X1 нашли отражение множество достижений из различных классов ВС, включая как РVР-, так и МРР-системы. Данная ВС основывается на тороидальной топологии и имеет широкую полосу пропускания и низкую латентность (малые задержки при передаче информации между ресурсами). Cray X1 характеризуется высокой надежностью и живучестью, a также масштабируемостью. Диапазон возможных конфигураций, производительности и емкости памяти Cray X1 соответственно равны: 8...4096 процессоров, 102,4 GFLOPS...52,4 TFLOPS и 32 Гбайт...64 Тбайт.

B систему Cray X1 вложен новейший набор команд, активные исследования по которому велись в корпорации Cray в течение 10 лет. Считается, что архитектура ВС c этим набором команд будет отвечать достижениям в интегральной технологии, по крайней мере, в течение десятилетия. Набор команд Cray X1 весьма прост, в нем нет сложных и избыточных инструкций. Он рассчитан на использование очень больших регистровых файлов, поддерживает 64- и 32-разрядные вычисления, реализует новый механизм синхронизации, обеспечивающий масштабируемость ВС и др. B результате Cray X1 обладает рядом преимуществ по сравнению c другими архитектурами суперкомпьютеров:

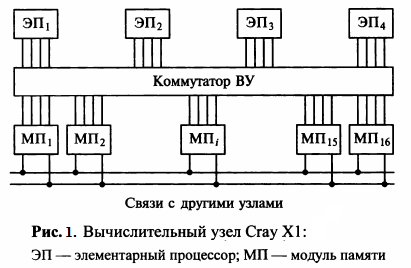
* высоким вычислительным параллелизмом (при низкой пропускной способности инструкций);
* незначительной сложностью управления,
* небольшим энергопотреблением, соотнесенным к одной операции в секунду;
* низкой латентностью.

Таким образом, архитектура ВС Cray X1 позволяет формировать конфигурации, адекватные областям применения, параметрам решаемых суперсложных задач.

Система Cray X1 - это композиция множества мультипроцессорных вычислительных узлов, коммуникационной сети между узлами и средств ввода-вывода данных. Среда программирования Cray X1 поддерживается специальным сервером.

**Вычислительный узел Cray X1**

Вычислительная система Cray X1 может иметь в своем составе от 2 до 1024 однородных вычислительных узлов (ВУ) . B каждом ВУ имеется четыре ЭП и распределенная общедоступная оперативная память (рис. 1).



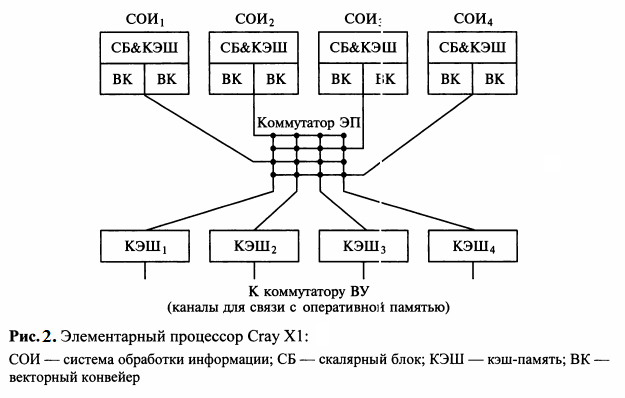
Взаимодействие между процессорами и оперативной памятью в узле осуществляется при помощи коммутатора ВУ (Crossbar). Следовательно, вычислительный узел по своей функциональной структуре является мультипроцессорной ВС.

Каждый ЭП представляет собой специально спроектированный конвейерный (или векторный) процессор, обладающий производительностью 12,8 GFLOPS (при обработке 64-разрядных операндов). Процессор поддерживает также арифметику над 32-разрядными данными.

Элементарный процессор относится к типу мультипотоковьх процессоров (МSР Multi-Streaming Processors), если придерживаться терминологии Cray Inc. Вообще такой процессор, по сути, является конвейерным (или векторным), но c той особенностью, что он состоит из множества небольших конвейеров (Pipes), работающих параллельно. B вычислительной системе Cray X1 функциональная структура MSP усовершенствована, в процессоре дополнительно имеются схемы синхронизации и кэш-память.

B системе Cray X1 элементарный процессор (рис. 2) состоит из четырех секций обработки информации (СОИ), четырех блоков кэш-памяти и коммутатора ЭП. Каждая из секций обработки включает в себя скалярной блок c кэш-памятью для данных (СБ & КЭШ) и пару векторных конвейеров (ВК). Скалярный блок имеет тактовую частоту 400 МГц и может выполнять две операции за такт. Быстродействие четырех скалярных блоков ЭП составляет 3,2 GIPS (операций c фиксированной запятой в секунду).

Векторные конвейеры ЭП работают параллельно, синхронно и c тактовой частотой 800 МГц. Их суммарная производительность составляет 12,8 GFLOPS или 25,6 GFLOPS при обработке 64- или 32-разрядных данных. (B самом деле, на каждый из конвейеров поступает два вектора-операнда, следовательно, за один такт восемь конвейеров способны обработать 16 элементов векторов.)



Можно легко обнаружить сходство функциональных структур системы STAR-100 и секции обработки информации Cray X1 (рис. 2). B той и другой структурах имеется по два векторных конвейера и один скалярный вычислитель со своей сверхоперативной памятью (называемой буферной памятью и КЭШ соответственно в STAR-100 и Cray X1). Кэш-память ВУ обеспечивает когерентность между быстродействием при обработке информации и скоростью ввода данных из оперативной памяти, Т. e. она играет роль сверхоперативной буферной памяти между секциями обработки информации и оперативной памятью.

Кэш-память состоит из четырех блоков, ее суммарная емкость достигает 2 Мбайт. Коммутатор ЭП (Crossbar) обеспечивает доступ каждой секции обработки информации к любому блоку кэш-памяти. Полоса пропускания в направлении от кэш-памяти к секциям обработки информации равна 102,4 Гбайт/c, a наоборот 51,2 Гбайт/c. Четыре канала (см. рис. 2) между кэш-блоками и оперативной памятью обеспечивают обмен информацией со скоростью 76,8 Гбайт/c.

B составе ВУ имеется оперативная память, доступная каждому ЭП. Память ВУ формируется из Rambus DRАM-микросхем, производимых Samsung Electronics Co.Ltd. Rambus-чипы характеризуются значительными емкостью и пропускной способностью.

Память любого узла (см. рис. 1) представляется множеством из 16 4-канальных МП; для максимизации ее пропускной способности используется 16 контpоллеров.

Каждый элементарный процессор (при помощи своих четырех кэш-блоков) имеет доступ (через коммутатор ВУ) к каждому модулю ОП узла. При этом любой кэш-блок ЭП связан только со своей группой из четырех модулей памяти. Поскольку любая из четырех секций обработки информации (см. рис. 2) связана через коммутатор со всеми блоками (), то в пределах узла любая имеет доступ к любому модулю памяти (). Пропускная способность «канала» между ЭП и оперативной памятью в вычислительном узле составляет 34,1 Гбайт/c.

Оперативная память ВУ доступна для других ВУ системы (см. рис. 1); этот доступ реализуется при помощи специальных маршрутизаторов.

Итак, все модули памяти в системе Cray X1 физически распределены по ВУ (и, следовательно, по элементарным процессорам), но логически они доступны каждому ЭП, т. e. оперативная память ВС Cray X1 является и распределенной, и общей.

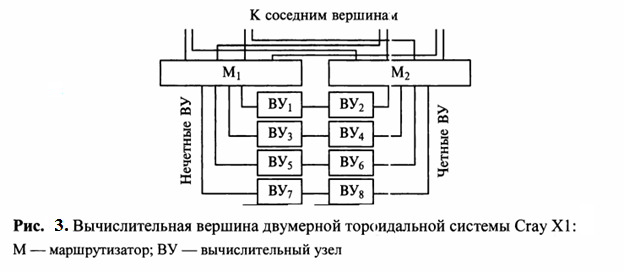
Следует отметить, что элементарный процессор является основным функциональным элементом Cray X1. Он конструктивно выполнен в виде многокристального модуля. Конструкция вычислительного узла Cray X1 оформлена в виде платы, содержащей четыре конструктивных модуля процессора, схемы памяти и коммутатора.

**Коммуникационная сеть Cray Х1**

Взаимодействие между вычислительными ресурсами (узлами и, следовательно, элементарными процессорами и памятью) в системе Cray X1 осуществляется через коммуникационную сеть. Архитектурные решения, заложенные в коммуникационную сеть, позволили достичь в сверхвысокопроизводительной системе Cray X1 высокой надежности и живучести, масштабируемости, большой пропускной способности и незначительной латентности (задержки) при передаче информации между ресурсами. Так, например, пропускная способность сети в 64-процессорной конфигурации Cray X1 (819,2 GFLOPS, 256 Гбaйт) c жидкостным охлаждением составляет 400 Гбaйт/c.

В системе Cray X1 для реализации коммуникационной сети применен модифицированный двумерный тор (Modified 2D Torus). В чем состоит суть модификации 2D-тора и что является его вершиной?

Выше было отмечено, что ВУ (см. рис. 1) обладает двумя маршрутами для связи c другими ВУ в пределах ВС Cray X1. (Если быть более точным, то в узле имеется 16 пар отдельных маршрутов, по одной на каждый из 16 модулей памяти, что гарантирует живучесть и необходимую полосу пропускания связей между ВУ.) Один из этик маршрутов используется для того, чтобы организовать в системе Cray X1 множество связных пар: «ВУ c нечетным номером - смежный ВУ c четным номером». Другой маршрут служит для подключения ВУ к маршрутизатору (Router).



B качестве вершины (Vertex) двумерного тора используется композиция из четырех пар вычислительных узлов и двух маршрутизаторов (), работающих на четыре внешних связи (рис. 3). Индекс в обозначении, не является физическим номером ВУ в пределах ВС, он информирует лишь o четности или нечетности номера. Маршрутизаторы обеспечивают два параллельных канала связи данной вершины c соседними вершинами в 2D-торе.

Очевидно, что структура (граф) вершины в системе Cray X1 обладает диаметром, равным двум (диаметр графа - максимальное расстояние, определяемое на множестве кратчайших путей между вершинами всевозможных пар.). Это следует из того, что маршрутизатор не имеет задержки, сравнимой со временем обмена информацией между памятями различных ВУ. Значит, в вершине обмен информацией между любыми ВУ осуществляется c использованием максимум одного транзитного узла или, говоря иначе, он производится посредством двух пересылок (Hops) из данного ВУ в транзитный, a затем в ВУ приемник.

Двумерный тор Cray X1 представляет собой «бублик», на поверхности которого размещена двумерная структура, вершины (см. рис. 3) которой связаны в двух направлениях: по окружности «бублика» и по окружности его сечения. Примерами таких структур могут служить трех- и четырехмерные гиперкубы. Не требуется особого воображения увидеть в этих гиперкубах двумерные торы.

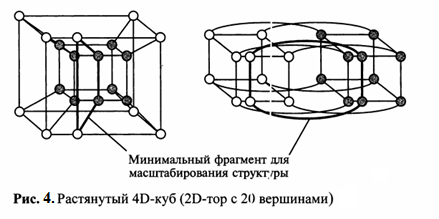
Четырехмерный гиперкуб использован в конфигурации Cray X1, состоящей из 128 ВУ (512 ЭП). Ясно, что в этой конфигурации ВС сама вершина имеет, в свою очередь, свою структуру из восьми ВУ и двух маршрутизаторов, a ребра в гиперкубе отражают двойные каналы межвершинных связей (см. рис. 3).

Четырехмерный гиперкуб - это структура из трехмерного куба внутри такого же куба и c ребрами между соответствующими вершинами этих кубов. Четырехмерный куб Cray X1 характеризуется тем, что вершины (точнее, их маршрутизаторы) каждого трехмерного куба входят в двойные циклы. Следовательно, в четырехмерном кубе один из концентрических циклов представляет вычислительные узлы (см. рис. 3) c нечетными номерами, a другой ВУ c четными номерами. В четырехмерном гиперкубе Cray X1 имеют место также связи между соответствующими циклами c нечетными ВУ двух трехмерных кубов, a также между циклами c четными узлами этих же кубов. Заметим, что связи между циклами c нечетными ВУ и c четными узлами организуются в пределах вершин и так, как это показано на рис. 3.

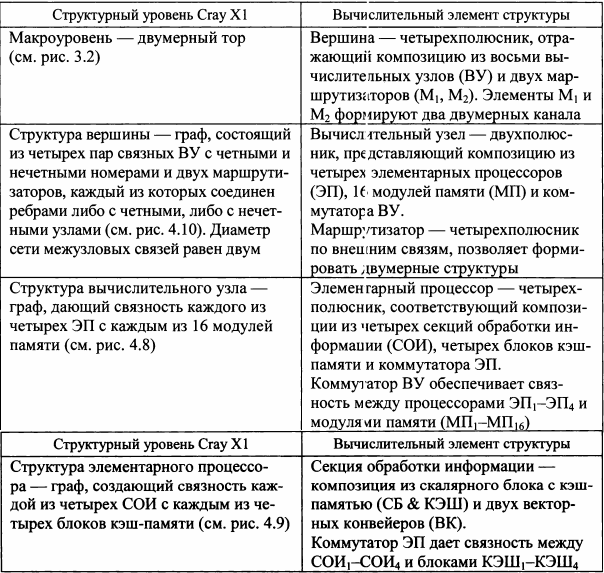
Оценим задержки, которые существуют при передаче информации между вычислительными узлами в четырехмерном гиперкубе Cray X1. Ясно, что максимальное расстояние (из кратчайших) между любыми двумя нечетными ВУ (или четными узлами) равно четырем, т. e. для обмена информацией между этими узлами потребуется максимум четыре пересылки. Максимальное расстояние (из кратчайших) между любыми нечетным и четным ВУ увеличивается на единицу. Здесь используется не три, a четыре транзитных узла (необходима пересылка между узлами внутри вершины).

Рассмотрим, как решается проблема масштабирования структуры ВС Cray X1. Корпорация Cray в конфигурациях системы Cray X1 не использует структуры в виде гиперкубов при числе ВУ, превышающем 128. Гиперкубы больших размерностей, чем четыре, потребовали бы включения в состав вершин дополнительных маршрутизаторов (см. рис. 3), что породило бы набор неоднородных вершин. Вместо этого Cray Inc. «растягивает» четырехмерный куб, превращая его в 2D-тор c большей «окружностью», и тем самым увеличивает число вершин (рис. 4). Очевидно, что при таком способе масштабирования ВС величина «приращения» (или «сокращения») для количества вершин равна четырем. При этом следует заметить, что минимальное число вычислительных узлов в вершине равно двум. Следовательно, минимальная величина аппаратурного приращения ВС равна восьми ВУ (или 32 ЭМ).

Система Cray X1 имеет иерархическую структуру сети связей между вычислительными ресурсами. На каждом структурном уровне используется свой тип графа мeжpecypcньх связей и свой тип вычислительных ресурсов — элементов обработки информации (табл. 1). Такое структурное решение в системе Cray X1 позволило достичь оптимума по эффективности в условиях технических и технологических ограничений на рубеже между XX и XXI столетиями.



*Таблица 1*



**Средства ввода-вывода Cray X1**

Средства ввода-вывода информации BC Cray X1 распределены по ее BУ. Каждый BУ располагает четырьмя каналами ввода-вывода (1/0 System Port Channels).Пиковая пропускная способность одного канала ввода-вывода составляет 1,2 Гбaйт/c.

Каналы ввода-вывода BC Cray X1 служат для подключения дисков и других периферийных устройств. Предусмотрена возможность использования вoлoкoннo-oптичecкиx линий связи.

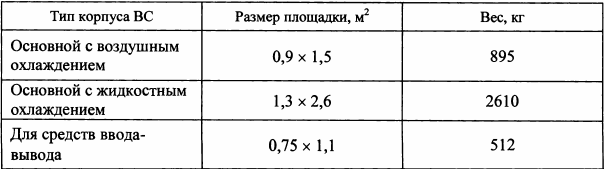
Поддержка различных ceтeвыx протоколов (в частности, для гигабитной Ethernet) осуществляется специальным сервером CNS (Cray Network Server).

**Конструкция системы Cray X1**

Для формирования BC Cray X1 используются корпуса двух вариантов, c воздушном и водяным охлаждением. B корпусе первого варианта размещается четыре вычислительных узла (16элементарных процессоров), a второго варианта— 16 узлов (64 ЭП).

B табл. 2 приведены физические характеристики кoнcтpyктивoв для системы Cray X1.

*Таблица 2*



**Программное обеспечение Cray X1**

Архитектура сверхвысокопроизводительной ВС Cray X1 является объединением архитектур PVP- и МРР-систем. Поэтому в ОС UNICOS/mp собрано все лучшее из PVP UNICOS и МРР UNICOS/mk.

Среди средств программирования Cray Х1 имеются языки высокого уровня (параллельные FORTRAN и C), интерфейсы передачи сообщений (МРI), интерактивный отладчик, средства для анализа производительности ВС и др.

B системе Cray X1 среда программирования поддерживается специальным сервером СРЕ (Cray Programming Еnvironment Server). B частности, компиляторы работают не на самой системе Cray X1, a на СРЕ.

**Задание 2.** Выполнить численный расчет и построить графики для функции *r(t)* надежности и коэффициента *s* готовности ЭВМ для следующих количественных характеристик:

– интенсивности отказов λ= ,

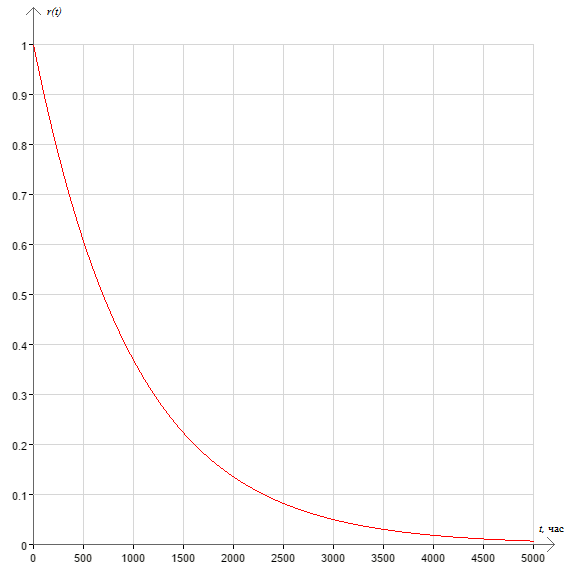
– интенсивности восстановления µ =1 .

Функция *r(t)* имеет вид:

Подставив в нее , получим:

|  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| *t* | 0 | 400 | 800 | 1200 | 1600 | 2000 | 2400 | 2800 | 3200 | 3600 | 4000 |
| *r(t)* | 1 | 0,67032 | 0,449329 | 0,301194 | 0,201897 | 0,135335 | 0,090718 | 0,06081 | 0,040762 | 0,027324 | 0,018316 |

График функции *r(t)*:



Формула коэффициента готовности *s* имеет вид:

Подставив в нее заданные значения и , получим: